

Partial English Translation of
Japanese Laid-Open Patent Application
No. 2001-274034

5

Application No.: 2000-276514

Date of Filing: September 12, 2000

Application No. of the Priority: 2000-11767

Priority Date: January 20, 2000

10 Applicant: Shinko Electric Industries Co., Ltd.

Inventors: Akio Mutsukawa

Kazunari Imai

15 (English Translation of Paragraphs [0025]-[0036])

[0025]

(Third Embodiment)

In each of the above-mentioned embodiments,
20 the description is given by taking the semiconductor
chip 22 as an example of an electronic component
that is accommodated and embedded in the concave
portion 14 of the core member 12. However, in
addition to the semiconductor chip 22, it is also
25 possible to accommodate other electric components
such as a resistor and a condenser in the concave
portion 14 and embed the electric component in the
core member 12. As shown in FIG. 3, it is possible
to form an electric component 50 such as a condenser,
30 a resistor, or an inductor by forming a film 50b
made of a dielectric material or a resistance
material on a surface of a silicon substrate 50a,
which serves as a lower electrode, and forming a
conductive film 50c, which serves as an upper
35 electrode, on a surface of the film 50b.

[0026]

With the electronic component 50 having

the above-mentioned configuration, by using an adhesive (conductive layer) having electric conductivity such as a conductive paste or a conductive adhesive sheet as an adhesive 26 for bonding the silicon substrate 50a, which is the lower electrode, to the concave portion 14, it is possible to electrically connect the lower electrode 50a of the electronic component 50 to a metal plating film 44 formed on a bottom surface 14b of the concave portion 14. Thus, by using the electronic component package 40 having the configuration according to the second embodiment, it is possible to use as a wiring layer the metal plating film 44 covering the bottom surface 14b and the inner wall surfaces 14a of the concave portion 14, and electrically connect the semiconductor chip 30 mounted on the electronic component package 10, other electronic components, and the external connection terminals 34. Regarding FIG. 3, the description is given by taking the electronic component package 40 according to the second embodiment as an example. However, similarly, the electronic component package 10 according to the first embodiment may also be provided with the electronic component 50 such as a condenser, a resistor, and an inductor.

[0027]

FIG. 14 shows an example of the condenser 50. When a silicon substrate is used as the lower electrode 50a, it is preferable to use a thin plate made of a p-type or n-type silicon (hereinafter referred to as a thin plate 50a). The thin plate 50a is formed by polishing a silicon wafer so as to reduce the thickness thereof to about 30-50 μm , and cutting the silicon wafer into required sizes. By polishing the wafer, a surface thereof becomes a mirror surface, and a high flatness is achieved.

[0028]

A metal layer 50d is formed on one surface of the thin plate 50a. When the thin plate 50a is a p-type silicon, the metal layer 50d is a platinum layer, and when the thin plate 50a is a n-type silicon, the metal layer 50d is a titanium or lead layer. The metal layer 50d may be formed by performing sputtering or deposition on the surface of the thin plate 50a. The thickness of the metal layer 50d is not specifically limited. However, the thickness may be several micrometers to tens of micrometers.

[0029]

When the thin plate 50a is a p-type silicon and the metal layer 50d is platinum, or when the thin plate 50a is a n-type silicon and the metal layer 50d is titanium or lead, as is obvious from the difference in work functions, ohmic contact is formed between the thin plate 50a and the metal plate 50d, and a current is conducted in either direction. When the combination of the thin plate 50a and the metal layer 50d is other than the above-mentioned combinations, Schottky contact is formed, and a rectification effect is produced. Thus, a current is conducted only in a specified direction.

[0030]

A film 50b made of a dielectric material is formed on the other surface of the thin plate 50a by sputtering, for example. The less the thickness of the film 50b is, the higher the capacity of a capacitor becomes. In order to obtain a thin film 50b, the flatness of the thin plate 50a is important. Since the thin plate 50a is obtained by polishing the wafer as mentioned above, the flatness thereof is high. Accordingly, it is possible to form the thin film 50b without pinholes.

[0031]

It is preferable to use for the film 50b a dielectric material such as tantalum oxide (Ta_2O_5), strontium titanate (SrTiO_3), barium titanate (BaTiO_3), lead zirconate titanate ($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$), or strontium barium titanate ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$).
[0032]

A conductive film 50c, which is an upper electrode, is formed on the film 50b. In order to improve adhesion to the film 50b, the conductive film 50c may be formed by first forming a chrome layer (not shown) on the film 50b by sputtering, and forming a copper layer on the chrome layer by sputtering, for example. It is preferable to form on a silicon wafer a large number of the condensers 50 having the above-mentioned configuration, and cut and separate the silicon wafer into individualized condensers 50. The condenser 50 is fixed to the metal plating film 44 by the conductive adhesive 26 with the metal layer 50d facing the bottom surface of the concave portion 14.
[0033]

FIG. 15 shows still another embodiment of the condenser 50. The reference numeral 13 denotes a valve metal foil made of aluminum, titanium, or tantalum, for example. Oxide films 15 are formed on both surfaces of the metal foil 13 by a known anodizing (anodic oxidation) method. The valve metal foil 13 having a thin thickness of about 5 μm to 30 μm may be used. It is possible to form an oxide film 15 having a very small thickness of about 0.3 μm on a surface of the valve metal foil 13. The valve metal foil 13 may be wound in a roll or may be a sheet having a wide area, and it is possible to efficiently perform anodizing.
[0034]

Electrode films 17 are formed on the oxide films 15 on both surfaces of the valve metal foil 13

by forming copper films by sputtering or deposition. The condensers 50 are formed by cutting the valve metal foil 13 into required sizes. Though the oxide films 15 are hard and fragile, the flexible valve metal foil 13 exists in the core. Hence, the fragility is decreased and it is easy to deal with the condenser 50 on the whole. In the above description, the oxide films 15 and the electrode films 17 are formed on both surfaces of the valve metal foil 13. However, the oxide film 15 and the electrode film 17 may be formed only on one surface of the valve metal foil 13.

[0035]

In addition, in the above-mentioned embodiment, the oxide films 15, which serve as dielectric layers, are formed on the valve metal foil 13 by anodizing. However, the dielectric layers may be formed by a hydrothermal crystallization method by forming on a titanium metal foil a crystal film of, for example, lead zirconate titanate, strontium titanate, barium titanate, or strontium barium titanate, which are ferroelectric (not shown). In order to generate a lead zirconate titanate (PZT) crystal film by a hydrothermal crystallization method, a titanium metal foil is dipped into a strong alkali solution in which a lead compound, a zirconia compound, and a titanium compound are dissolved. Then, the strong alkali solution into which the titanium metal foil is dipped is put into an autoclave that is set to about 200°C or less and 2-3 atm (1 atm = 1.01325 bar) so that a hydrothermal reaction is caused and a PZT crystal film is generated. Other dielectric layers may be formed by a predetermined hydrothermal crystallization method. It is possible to cut the titanium metal foil on which the dielectric layer is thus formed into condensers.

[0036]

FIG. 16 shows a further embodiment of the condenser 50. The condenser 50 is a multi-electrode condenser in which multipolar electrodes are
5 arranged in a matrix. The multi-electrode condenser has an advantage in that it is possible to reduce the parasitic inductance of the condenser and reduce the inductance of an entire electronic component package in which the condenser is embedded.
10 It is also possible to embed such a condenser 50 in the concave portion 14 in a manner similar to the above-mentioned manner. It should be noted that electric connection is made to each of the multipolar electrodes through a via.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001274034 A**(43) Date of publication of application: **05.10.01**

(51) Int. Cl.

H01G 2/06
H01G 4/33
H01G 4/10
H01G 4/12
H01L 23/12
H01L 25/00
H05K 9/00

(21) Application number: **2000276514**(22) Date of filing: **12.09.00**(30) Priority: **20.01.00 JP 2000011767**(71) Applicant: **SHINKO ELECTRIC IND CO LTD**

(72) Inventor:
MUTSUKAWA AKIO
IMAI KAZUNARI
AZUMA MITSUTOSHI
WATANABE SHOJI
MYOU TAN UU
HORIKAWA YASUYOSHI

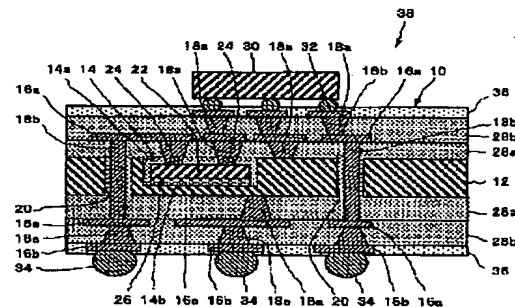
(54) **ELECTRONIC PARTS PACKAGE**

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an electronic parts package in which electronic parts can be packed at a high density and, at the same time, which can shield the parts from electromagnetic noise.

SOLUTION: This electronic parts package 10 has a recessed section 14 formed into a core material 12, a semiconductor chip 22 buried in the section 14, insulating layers 28a and 28b formed on the surface of the material 12 on the opening side of the recessed section 14 so as to cover the section 14. This package also has wiring layers 16a and 16b formed on the surfaces of the insulating layers 28a and 28b and via holes 18a and 18b which are formed through the insulating layers 28a and 28b and electrically connect the wiring layers 16a and 16b to electrode terminals 24 formed on the surface of the semiconductor chip 22 on the opening side of the recessed section 14. The internal wall surface 14a and bottom face 14b of the recessed section 14 are composed of a conductive metal.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274034

(P 2 0 0 1 - 2 7 4 0 3 4 A)

(43) 公開日 平成13年10月5日 (2001. 10. 5)

(51) Int. Cl.	識別記号	F I	テコード	(参考)
H01G 2/06		H01G 4/10	5E001	
4/33		4/12	397 5E082	
4/10		H01L 25/00	B 5E321	
4/12	397	H05K 9/00	R	
H01L 23/12		H01G 1/035	D	

審査請求 未請求 請求項の数10 O L (全10頁) 最終頁に続く

(21) 出願番号 特願2000-276514 (P 2000-276514)

(22) 出願日 平成12年9月12日 (2000. 9. 12)

(31) 優先権主張番号 特願2000-11767 (P2000-11767)

(32) 優先日 平成12年1月20日 (2000. 1. 20)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000190688
新光電気工業株式会社
長野県長野市大字栗田字舎利田711番地

(72) 発明者 六川 昭雄
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内

(72) 発明者 今井 一成
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内

(74) 代理人 100077621
弁理士 綿貫 隆夫 (外1名)

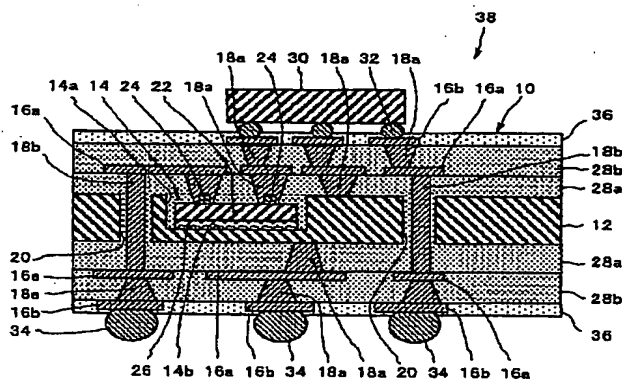
最終頁に続く

(54) 【発明の名称】 電子部品パッケージ

(57) 【要約】

【課題】 電子部品を高密度に実装できると共に、電子部品に対する電磁ノイズからのシールド効果も有する電子部品パッケージを提供する。

【解決手段】 コア材12に形成された凹部14と、凹部14内に埋め込まれた半導体チップ22と、凹部14の開口側のコア材12の表面に凹部14を覆うように形成された絶縁層28a、28bと、絶縁層28a、28bの表面に形成された配線層16a、16bと、絶縁層28a、28bに形成され、配線層16a、16bと半導体チップ22の凹部14開口側の表面に形成された電極端子24とを電氣的に接続するビア18a、18bとを有する電子部品パッケージ10において、凹部14の内壁面14aおよび底面14bが、導電性金属である。



【特許請求の範囲】

【請求項1】 コア材に形成された凹部と、該凹部内に埋め込まれた電子部品と、前記凹部の開口側の前記コア材の表面に該凹部を覆うように形成された絶縁層と、該絶縁層の表面に形成された配線層と、前記絶縁層に形成され、該配線層と前記電子部品の凹部開口側の表面に形成された電極とを電氣的に接続するビアとを具備する電子部品パッケージにおいて、

前記凹部の内壁面および底面が、導電性金属であることを特徴とする電子部品パッケージ。

【請求項2】 前記コア材が、導電性金属からなることを特徴とする請求項1記載の電子部品パッケージ。

【請求項3】 前記コア材が、絶縁材料からなり、前記凹部の内壁面および底面が、導電性金属からなるめっき被膜によって覆われていることを特徴とする請求項1記載の電子部品パッケージ。

【請求項4】 前記電子部品が、半導体チップであることを特徴とする請求項1、2または3記載の電子部品パッケージ。

【請求項5】 前記電子部品が、表裏両面に電極が形成されたコンデンサ、インダクタ又は抵抗であり、裏面側が導電性接着ペースト又は導電性接着シートを用いて形成された導電層を介して前記凹部の底面に接合され、裏面側の電極が、該導電層と前記凹部の内壁面および底面の導電性金属とを介して前記配線層に電氣的に接続されていることを特徴とする請求項1、2または3記載の電子部品パッケージ。

【請求項6】 前記コンデンサが、p型シリコンからなる薄板と、該薄板の一方の面に形成された白金からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備することを特徴とする請求項5記載の電子部品パッケージ。

【請求項7】 前記コンデンサが、n型シリコンからなる薄板と、該薄板の一方の面に形成されたチタンもしくは鉛からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備することを特徴とする請求項5記載の電子部品パッケージ。

【請求項8】 前記コンデンサが、金属箔の表面に陽極化成法により酸化被膜が形成され、該酸化被膜上に電極が形成されたコンデンサであることを特徴とする請求項5記載の電子部品パッケージ。

【請求項9】 前記コンデンサが、チタン金属箔の表面に水熱合成法により誘電体層が形成され、該誘電体層上に電極が形成されたコンデンサであることを特徴とする請求項5記載の電子部品パッケージ。

【請求項10】 前記電子部品が、コンデンサであることを特徴とする請求項1、2または3記載の電子部品パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品パッケージに関し、さらに詳細には半導体チップ、コンデンサ、インダクタ等の電子部品をコア材中に埋め込んで搭載した電子部品パッケージに関する。

【0002】

【従来の技術】従来、コア材に形成された凹部内に電子部品（半導体チップやコンデンサや抵抗やインダクタ）を埋め込み、その後、凹部の開口側のコア材の表裏両面に凹部を覆うように絶縁層と配線層を積層して電子部品パッケージを形成するものとして、特許第2842378号（特開平9-321408号）に開示されたものが公知である。この構造を採用することによって、電子部品パッケージへの電子部品の実装を高密度化できる。

【0003】

【発明が解決しようとする課題】ところで近年では、電子部品パッケージに実装される電子部品の動作周波数や電子部品に流れる電気信号の周波数が高周波化し、それに伴ない電子部品パッケージ上において発生する電磁ノイズが増加してきている。このため、ノイズによる誤動作等を防止できるように、ノイズから電子部品をシールドできる構造の電子部品パッケージが望まれている。しかしながら、従来例で説明した特許第2842378号の構造では、電子部品は樹脂材料からなるコア材としてのプリント基板に埋め込まれているだけであるから、埋め込まれた電子部品が導電体で囲まれておらず、ノイズからの電磁シールド構造といったものは全く無い。よって、回路基板に実装された電子部品がノイズを拾って誤動作したり、また電子部品が拾ったノイズが電子部品に流れる電気信号に重畳するといった課題がある。

【0004】従って、本発明は上記課題を解決すべくなされ、その目的とするところは、電子部品を高密度に実装できると共に、電子部品に対する電磁ノイズからのシールド効果も有する電子部品パッケージを提供することにある。

【0005】

【課題を解決するための手段】本発明は上記課題を解決するために、コア材に形成された凹部と、該凹部内に埋め込まれた電子部品と、前記凹部の開口側の前記コア材の表面に該凹部を覆うように形成された絶縁層と、該絶縁層の表面に形成された配線層と、前記絶縁層に形成され、該配線層と前記電子部品の凹部開口側の表面に形成された電極とを電氣的に接続するビアとを具備する電子部品パッケージにおいて、前記凹部の内壁面および底面が、導電性金属であることを特徴とする。また、具体的には前記コア材が、導電性金属からなる構成を採用できる。また、前記コア材が、絶縁材料からなり、前記凹部の内壁面および底面が、導電性金属からなるめっき被膜によって覆われている構成を採用することもできる。これらの構成によれば、高密度で電子部品を実装できると

共に、凹部内に埋め込まれた電子部品は、凹部開口部分を除き、導電性金属で覆われるから、ノイズに対して電磁シールドされて、凹部内の電子部品へのノイズの影響が軽減されるという効果がある。

【0006】また、前記電子部品が、半導体チップである構成も採用できる。また、前記電子部品が、表裏両面に電極が形成されたコンデンサ、インダクタ又は抵抗であり、裏面側が導電性接着ペースト又は導電性接着シートを用いて形成された導電層を介して前記凹部の底面に接合され、裏面側の電極が、該導電層と前記凹部の内壁面および底面の導電性金属とを介して前記配線層に電気的に接続されている構成とすることも可能である。

【0007】前記コンデンサに、p型シリコンからなる薄板と、該薄板の一方の面に形成された白金からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備するコンデンサを用いることができる。あるいは、前記コンデンサに、n型シリコンからなる薄板と、該薄板の一方の面に形成されたチタンもしくは鉛からなる金属層と、前記薄板の他方の面に形成された誘電体層と、該誘電体層上に形成された電極とを具備するコンデンサを用いることができる。

【0008】また、前記コンデンサに、金属箔の表面に陽極化成法により酸化被膜が形成され、該酸化被膜上に電極が形成されたコンデンサを用いることができる。また、前記コンデンサに、チタン金属箔の表面に水熱合成法により誘電体層が形成され、該誘電体層上に電極が形成されたコンデンサを用いることができる。あるいは、前記電子部品に、コンデンサを用いてもよい。

【0009】

【発明の実施の形態】以下、本発明に係る電子部品パッケージの好適な実施の形態を添付図面に基づいて詳細に説明する。

（第1の実施の形態）電子部品パッケージ10の構造について説明する。コア材12には凹部14が形成されている。本実施の形態では、コア材12は、銅等の導電性金属を板状に形成したものである。そしてこの凹部14はルーター等の機器を使用してコア材12の表面を削って形成したり、またエッチングで形成する。また、凹部14の平面形状は、凹部14に埋め込まれる電子部品の大きさを考慮して、電子部品が収容可能な形状に設定されている。電子部品パッケージ10に搭載される電子部品の平面形状は通常四角形であるため、凹部14の平面形状もこれに合わせて四角形とするのが一般的であるが、これに限定されることは無く、円形や四角形以外の多角形とすることも可能である。

【0010】また、凹部14の深さは、ノイズに対するシールド効果を高めるために、電子部品が完全に収容され、電子部品が凹部14から突出しない程度の深さが望ましいが、これに限定されるものではない。また、コア

材12には凹部14のほか、コア材12の表面および裏面に配置された配線層16同士を電気的に接続するビア18を通すための貫通孔20が、凹部14と同様の手段によって形成されている。

【0011】そして、凹部14内には電子部品の一例として半導体チップ22が埋め込まれている。半導体チップ22の埋め込み構造は、半導体チップ22をその電極（電極端子とも言う）24が形成された面（以下、電極端子形成面とも言う）を凹部14の開口側にむけて、逆側の面（背面）を凹部14の底面に接着剤26を用いて接着して凹部14に収容・固定する。

【0012】そしてコア材12の表裏両面には、電気的絶縁層（以下、単に絶縁層とも言う）28と配線層16とが、この順番で、凹部14の開口側のコア材12の表面に、凹部14を覆うように多層に積層されて形成されている。そして、各配線層16は、絶縁層28やコア材12を貫通するビア18によって電気的に接続されている。本実施の形態では、コア材12の表裏両面に、絶縁層28と配線層16とがそれぞれ一例として2層ずつ積層されて形成されているが、3層以上の場合も考え方は同じである。絶縁層28は、第1絶縁層28aとその上層の第2絶縁層28bとから成る。また、配線層16は、第1絶縁層28aの表面に形成された第1配線層16aと、第2絶縁層28bの表面に形成された第2配線層16bとから成る。また、ビア18は、コア材12の一方の面側に配置された絶縁層28を貫通し、この一方の面側に配置された配線層16同士、または配線層16とコア材12、または配線層16と半導体チップ22の電極端子24を電気的に接続する第1ビア18aと、コア材12の貫通孔20を貫通してコア材12の表裏に形成された配線層16同士を電気的に接続する第2ビア18bとから構成されている。

【0013】そして、第2絶縁層28bや第2配線層16bの表面には、電子部品パッケージ10に搭載される半導体チップ30の bumps 32や電子部品パッケージ10の外部接続端子34が取り付けられるランド部となる第2配線層16bの所定の部位のみが露出するように、ソルダーレジストによる被覆層36が形成されている。以上が、電子部品パッケージ10の構成である。なお、第2配線層16bのランド部に外部接続端子34を取り付けた状態で電子部品パッケージ10とすることもあ。また、コア材12に形成する凹部14の数は2つ以上形成し、複数の電子部品をコア材12中に埋め込む構成としても良いし、コア材12の一方の表面だけでなく、両面に凹部14を形成して電子部品を埋め込む構成とすることも可能であり、さらなる高密度化が図れる。

【0014】そして、この電子部品パッケージ10の表面（図1中の上面）に、他の半導体チップ30を bumps 32を介して搭載し、また電子部品パッケージ10の裏面（図1中の下面）に、はんだボール等の外部接続端子

34が接続されて半導体装置38となる。このような電子部品パッケージ10や半導体装置38では、凹部14の内壁面14a及び底面14bが導電性金属であるから、コア材12の凹部14の内壁面14aや底面14bが電磁シールド壁となって電子部品パッケージ10に搭載された他の電子部品や配線層で発生したノイズが凹部14内の半導体チップ22に直接悪影響を及ぼす程度を軽減できる。さらに、配線層16と比較して厚く、電気的な抵抗値が低いために安定した電位となるコア材12を通常、グランド層として使用するが、このように安定した電位となる導電性金属でコア材12の凹部14内に埋め込まれた半導体チップ22が取り囲まれることもノイズ軽減に非常に効果がある。

【0015】またさらに、凹部14内の半導体チップ22はその背面がコア材12に接着されているため、半導体チップ22で発生する熱がコア材12に効率良く逃げ、半導体チップ22が効率良く冷却されるという効果もあり、埋め込まれた半導体チップ22の寿命が延び、結果として電子部品パッケージ10や半導体装置38の安定性が高まると考えられる。また、さらには半導体チップ22が非常に薄いものであっても、樹脂材に比べて剛性のある金属製のコア材12に形成された凹部14内に収容されているため、外力が加わっても半導体チップ22にクラックが生じにくいという効果もある。

【0016】次に、電子部品パッケージ10の製造方法を、図4～図13を用いて説明する。まず、導電性金属の一例として銅基板をコア材12として用意する(図4参照)。そして、コア材12の表面に、エッチングやルータ加工によって、凹部14を形成する(図5参照)。次に、コア材12の、第2ビア18bを貫通させる位置に、貫通孔20を形成する(図6参照)。次に、コア材12の、凹部14内に電子部品としての半導体チップ22を接着する(図7参照)。

【0017】次に、コア材12の表裏両面に、凹部14を覆うように第1絶縁層28aを形成すると共に、第1絶縁層28aを形成する樹脂材料(PPE樹脂等)をコア材12の貫通孔20や凹部14内に充填する(図8参照)。次に、第1絶縁層28aに、レーザ光を照射して第1ビア孔52と第2ビア孔54を形成する。第1ビア孔52は、半導体チップ22の電極端子24やコア材12の表面が底面に露出する露出孔として形成される。また、第2ビア孔54は、コア材12の貫通孔20に充填された樹脂とコア材12の表裏両面に形成された第1絶縁層28aを貫通する構成に形成される。ここで、第2ビア孔54を形成する際には、貫通孔20の内壁面が露出しないようにする(図9参照)。なお、絶縁層にビア孔を形成する手法としては、レーザ光照射に代えて化学的にエッチングして形成する手法も考えられる。

【0018】次に、無電解銅めっき及び電解銅めっきを施して、第1絶縁層28aの表面に金属めっき被膜を形

成すると共に、第1ビア孔52と第2ビア孔54内を導体で充填する。そして、第1絶縁層28aの表面の金属めっき被膜を所定のパターンに従ってエッチングして第1配線層16aを形成する。金属めっき被膜の表面に感光性レジストを塗布し、感光性レジストを露光・現像してレジストパターンを形成し、レジストパターンによって被覆されていない部位の金属めっき被膜の露出部分を除去することによって、所定のパターンの配線層を形成することができる(図10参照)。ここで、第1ビア孔52内に導体が充填されて第1ビア18aとなり、また第2ビア孔54内に導体が充填されて第2ビア18bとなる。

【0019】次に、コア材12の表裏両面の第1絶縁層28a及び第1配線層16aの表面を覆うように第2絶縁層28bを形成する。そして、第2絶縁層28bに、レーザ光を照射して第1ビア孔52を形成する(図11参照)。この第1ビア孔52は底面に第1配線層16aの所定の部位が露出する露出孔として形成する。次に、無電解銅めっき及び電解銅めっきを施して、第2絶縁層28bの表面に金属めっき被膜を形成すると共に、第1ビア孔52内を導体で充填する。そして、第2絶縁層28bの表面の金属めっき被膜を、第1配線層28aの場合と同様に、所定のパターンに従ってエッチングして第2配線層16bを形成する(図12参照)。第1ビア孔52内を導体で充填することで、第1ビア18aが形成される。

【0020】最後に、第2絶縁層28b及び第2配線層16bの表面に、電子部品パッケージ10に搭載される半導体チップ30の bumps 32や電子部品パッケージ10の外部接続端子34が取り付けられるランド部となる第2配線層16bの所定の部位のみが露出するように、ソルダーレジストによる被覆層36を形成する(図13参照)。以上が、電子部品パッケージ10の製造方法である。

【0021】(第2の実施の形態)電子部品パッケージ40の構造について説明する。まず、第1の実施の形態との相違点についてその概要を説明すると、本実施の形態のコア材12は、ガラス・エポキシ基板やBT(ビスマレイミド トリアジン)基板等の電気的な絶縁性を有する材料(絶縁材料)で形成された板体で構成されている点にある。このためコア材12の凹部14内に埋め込まれる電子部品をシールドするため、コア材12の表面に配線層42を形成する際に、凹部14の内壁面14aおよび底面14bもこの配線層42を形成する導電性を有する金属めっき被膜44で覆い、この金属めっき被膜44で凹部14内に収容される電子部品を電磁シールドする構成としている。

【0022】コア材12に関する部分の構造が相違するのみで、コア材12に積層する絶縁層28や配線層16や被覆層36の構造は第1の実施の形態と同じであるか

ら、同じ構成については同じ符号を付して説明は省略し、相違する構成のみを説明する。コア材12には凹部14が形成されている。本実施の形態では、コア材12は、前述のような絶縁材料を板状に形成したものである。コア材12の表面と裏面には配線層42が形成されている。また、凹部14の内壁面14aと底面14bは、この配線層42を形成する導電性を有する金属めっき被膜44で覆われている。

【0023】コア材12を貫通する第2ビア18は、コア材12の表面に形成された配線層42同士、またはコア材12の表面に形成された配線層42と絶縁層28の表面に形成された第1配線層16aとを電気的に接続する。なお、第2ビア18の内、コア材12の表面に形成された配線層42同士を接続するものの構造は、一例としてコア材12に形成された貫通孔20の内周面に金属めっき被膜46を形成した後に樹脂48を充填してなるものであるが、他の構造でも良い。また、凹部14の内壁面14aや底面14bに形成された金属めっき被膜44は、第1ビア18aおよび/または第2ビア18bによって電子部品パッケージ40に搭載される半導体チップ30のグランド用パンプおよび/または外部接続端子34と電気的に接続されている。本実施の形態では、凹部14内の金属めっき被膜44は、コア材12の表面に形成された配線層42と第1ビア18aと第1配線層16aと第2配線層16bを介して半導体チップ30のグランド用パンプと接続されると共に、第1絶縁層28aとコア材12を貫通して凹部14の底面14bに達する第2ビア18bにより外部接続端子34とも電気的に接続されている。

【0024】このように、コア材12が絶縁材料で形成されていても、コア材12中に埋め込まれる半導体チップ22が収容される凹部14の内壁面14aや底面14bが、導電性を有して所定の電位（例えばグランド電位）になっている金属めっき被膜44で覆われているため、第1の実施の形態と同様に、半導体チップ22が金属めっき被膜44で電磁シールドされてノイズが直接半導体チップ22に飛び込むことを低減することが可能となる。

【0025】（第3の実施の形態）前述した各実施の形態において、コア材12の凹部14内に収容されて埋め込まれる電子部品として半導体チップ22を例に挙げて説明してきたが、半導体チップ22以外にも抵抗やコンデンサといった他の電子部品を凹部14内に収容してコア材12中に埋め込むことができる。そして、コンデンサや抵抗やインダクタといった電子部品50は、図3に示すように下部電極となるシリコン基板50aの表面に誘電材料や抵抗材料の被膜50bを形成し、この被膜50bの表面に上部電極となる導電性被膜50cを形成することで構成することが可能である。

【0026】この構造の電子部品50においては、下部

電極であるシリコン基板50aを凹部14内に接着する際の接着剤26に導電性ペーストまたは導電性接着シート等の導電性を有する接着剤（導電層）を使用することによって、電子部品50の下部電極50aを電気的に凹部14の底面14bに形成された金属めっき被膜44と接続することが可能となるから、第2の実施の形態の構造の電子部品パッケージ40を利用することによって、凹部14の底面14bおよび内壁面14aを覆う金属めっき被膜44を配線層として使用し、電子部品パッケージ10に搭載された半導体チップ30や他の電子部品や外部接続端子34と電気的に接続することが可能となる。なお、図3においては、一例として第2の実施の形態の電子部品パッケージ40を用いて説明したが、第1の実施の形態の電子部品パッケージ10にも同様にコンデンサや抵抗やインダクタといった電子部品50を搭載できる。

【0027】図14にコンデンサ50の一例を示す。下部電極50aにシリコン基板を用いるときは、p型もしくはn型シリコンからなる薄板を用いると好適である（以下薄板50aとして説明する）。この薄板50aは、シリコンウェーハをポリッシングして厚さ30～50μm程度に薄化し、所要サイズに切断して形成される。ウェーハをポリッシングすることで、表面は鏡面となり、平坦度の高いものとなる。

【0028】この薄板50aの一方の面上に金属層50dを形成する。金属層50dは、薄板50aがp型シリコンであるときは白金の層とし、薄板50aがn型シリコンであるときはチタンまたは鉛の層とする。これら金属層50dは、薄板50aの一方の面にスパッタリングや蒸着によって形成できる。金属層50dの厚さは特に限定されないが、数μm～数十μmのものとすることができる。

【0029】薄板50aがp型シリコンで金属層50dが白金のとき、また薄板50aがn型シリコンで金属層50dがチタンまたは鉛のとき、薄板50aと金属層50dとの間は、仕事関数の差から明らかなようにオーミック接続となり、いずれの方向の電流をも通す。薄板50aと金属層50dの組み合わせが上記以外のときはショットキー接続となり、整流作用が生じ、ある一方方向の電流しか流れなくなる。

【0030】薄板50aの他方の面にスパッタリング等によって誘電材料からなる被膜50bを形成する。被膜50bの厚さは薄い程、高容量のキャパシタが得られる。薄い被膜50bを得るには、薄板50aの平坦度が重要であるが、上記のように薄板50aはウェーハをポリッシングして得ることができるので、その平坦度は大きく、したがって、ピンホールの無い薄い被膜50bの形成が可能となる。

【0031】被膜50bには、酸化タンタル（Ta₂O₅）、チタン酸ストロンチウム（SrTiO₃）、チ

10

20

30

40

50

タン酸バリウム (BaTiO_3)、チタン酸ジルコン酸鉛 ($\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$)、もしくはチタン酸ストロンチウムバリウム ($\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$) などの誘電材料を用いると好適である。

【0032】被膜50bの上に上部電極である導電性被膜50cを形成するのである。導電性被膜50cは、被膜50bとの密着性を向上させるために、被膜50b上にまずクロム層(図示せず)をスパッタリングにより形成し、このクロム層上にスパッタリング等により銅層を形成するようにするとよい。シリコンウェハ上に上記構成のコンデンサ50を多数作り込み、これを切断して個片のコンデンサ50に分離するようにすると好適である。上記のコンデンサ50を、金属層50dを凹部14の底面側に向けて導電性接着剤26により金属めっき被膜44上に固定するようにする。

【0033】図15はコンデンサ50のさらに他の実施の形態を示す。13はアルミニウム、チタン、タンタル等のバルブ金属箔である。このバルブ金属箔13に公知の陽極化成法(陽極酸化)により、表面に酸化被膜15を形成する。バルブ金属箔13は $5\mu\text{m}\sim 30\mu\text{m}$ 程度の薄い肉厚のものを用いることができ、このバルブ金属箔13の表面に $0.3\mu\text{m}$ 程度の極めて薄い酸化被膜15を形成することができる。バルブ金属箔13は、ロール状に巻回したもの、あるいは広い面積を有するシート状のものを用いることができ、効率よく陽極化成処理を施すことができる。

【0034】バルブ金属箔13の両面の酸化被膜15上に、スパッタリングあるいは蒸着により銅層を形成して電極膜17、17を形成する。このバルブ金属箔13を所望の大きさに裁断して、コンデンサ50に形成する。酸化被膜15は硬くて脆いが、芯にフレキシブルなバルブ金属箔13が存在するので、全体として、脆さは低減され、取り扱いやすい。なお、上記では、バルブ金属箔13の両面に、酸化被膜15、電極膜17を形成したが、バルブ金属箔13の片面にのみ酸化被膜15、電極膜17を形成するようにしてもよい。

【0035】また上記実施の形態では、バルブ金属箔13上に、誘電体層としての酸化被膜15を陽極化成処理により形成したが、水熱合成法によってチタン金属箔上に強誘電体であるチタン酸ジルコン酸鉛、チタン酸ストロンチウム、チタン酸バリウム、チタン酸ストロンチウムバリウムの結晶膜を形成して誘電体層としてもよい

(図示せず)。水熱合成法でチタン酸ジルコン酸鉛(PZT)結晶膜を生成させるには、鉛化合物、ジルコン化合物、チタン化合物を溶解させた強アルカリ溶液にチタン金属箔を浸漬し、 200°C 以下、 $2\sim 3\text{atm}$ ($1\text{atm}=1.01325\text{bar}$)程度に設定されたオートクレーブに入れ、水熱合成反応を起させ、 PZT 結晶膜を生成させるようにする。他の誘電体層も所要の水熱合成法によって形成することができる。このように誘電

体層を形成したチタン金属箔を裁断してコンデンサにすることができる。

【0036】図16はコンデンサ50のさらに他の実施の形態を示す。このコンデンサ50は、電極が多極化されてマトリクス状に配置されたマルチ電極コンデンサである。このマルチ電極コンデンサは、コンデンサ自身がおもつ寄生インダクタンスを低減でき、これを組み込む電子部品パッケージ全体のインダクタンスを低減できる利点がある。このコンデンサ50も上記と同様にして凹部14内に組み込むことができる。なお、多極の各電極にビアを通じて電氣的に接続をとることは言うまでもない。

【0037】次に、電子部品パッケージ40の製造方法を、図17～図26を用いて説明する。なお、第1の実施の形態の電子部品パッケージ10と同様の処理については同じ符号を付し、説明は省略する。まず、板状の樹脂基材12aの両面に導体層12bが形成された樹脂基板、一例として両面銅貼り基板をコア材12として用意する(図17参照)。そして、コア材12の表面に、エッチングやルータ加工によって、底面14bと内壁面14aが樹脂基材12aを形成する樹脂で形成された凹部14と、内面に樹脂基材12aを形成する樹脂が露出する貫通孔20を形成する(図18参照)。次に、図10と同様の手法で、コア材12の表面、凹部14の底面14bと内壁面14aに電解めっき被膜を形成すると共に、貫通孔20内を導体(めっき)で充填する。そして、コア材12の表面の電解めっき被膜をパターンニングして、コア材12の表裏両面に配線層42を形成する(図19参照)。凹部14の底面14bと内壁面14aの電解めっき被膜はエッチングせずに残し、一部の配線層42と接続した状態とする。貫通孔20内を導体(めっき)で充填することで、第2ビア18bが形成される。

【0038】次に、凹部14内に、電子部品50を搭載する。電子部品50は一例として、表裏両面に電極(下部電極はシリコン基板50a、上部電極は導電性被膜50c)が形成されたコンデンサであるが、他の電子部品の場合も同様である(図20参照)。電子部品50の下部電極は、接着剤に導電性材料を使用して凹部14の底面14bに形成された電解めっき被膜44と導通させる。次に、コア材12の表裏両面に、凹部14や電子部品50を覆うように第1絶縁層28aを形成する(図21参照)。次に、第1絶縁層28aに、レーザ光を照射して、底面に配線層42の表面や電子部品50の上部電極50cが露出する第1ビア孔52を形成する。また、さらにコア材12の裏面側からレーザ光を照射して、第1絶縁層28aとコア材12を貫通して凹部14の底面14bに形成された金属めっき被膜44を底面に露出させる第2ビア孔54を形成する(図22参照)。

【0039】次に、図10と同様にして、無電解銅め

き及び電解銅めっきを施して、第1絶縁層28aの表面に金属めっき被膜を形成する。また、第1ビア孔52と第2ビア孔54内を導体で充填して第1ビア18aと第2ビア18bを形成する。そして、第1絶縁層28aの表面の金属めっき被膜を所定のパターンに従ってエッチングして第1配線層16aを形成する(図23参照)。次に、コア材12の表裏両面の第1絶縁層28a及び第1配線層16aの表面を覆うように第2絶縁層28bを形成する(図24参照)。次に、第2絶縁層28bに、レーザ光を照射して第1ビア孔52を形成すると共に、図12と同様に第2配線層16bと第1ビア18aを形成する(図25参照)。そして最後に、図13と同様に、第2絶縁層28b及び第2配線層16bの表面に、ソルダーレジストによる被覆層36を形成する(図26参照)。以上が、電子部品パッケージ40の製造方法である。

【0040】

【発明の効果】本発明に係る電子部品パッケージによれば、高密度で電子部品を実装できると共に、凹部内に埋め込まれた電子部品は、凹部開口部分を除き、導電性金属材料で覆われるから、ノイズに対して電磁シールドされて、凹部内の電子部品へのノイズの影響が軽減されるという効果がある。

【図面の簡単な説明】

【図1】本発明に係る電子部品パッケージの第1の実施の形態の構成を説明するための説明図である。

【図2】本発明に係る電子部品パッケージの第2の実施の形態の構成を説明するための説明図である。

【図3】本発明に係る電子部品パッケージの第3の実施の形態の構成を説明するための説明図である。

【図4】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図5】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図6】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図7】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図8】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図9】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図4】



【図10】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図11】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図12】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図13】図1の電子部品パッケージの製造方法を説明するための説明図である。

【図14】コンデンサの一例を示す断面図である。

【図15】コンデンサの他の例を示す断面図である。

【図16】マルチ電極コンデンサの説明図である。

【図17】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図18】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図19】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図20】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図21】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図22】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図23】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図24】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図25】図3の電子部品パッケージの製造方法を説明するための説明図である。

【図26】図3の電子部品パッケージの製造方法を説明するための説明図である。

【符号の説明】

10 電子部品パッケージ

12 コア材

14 凹部

14a 凹部の内壁面

14b 凹部の底面

16 配線層

18 ビア

22 電子部品としての半導体チップ

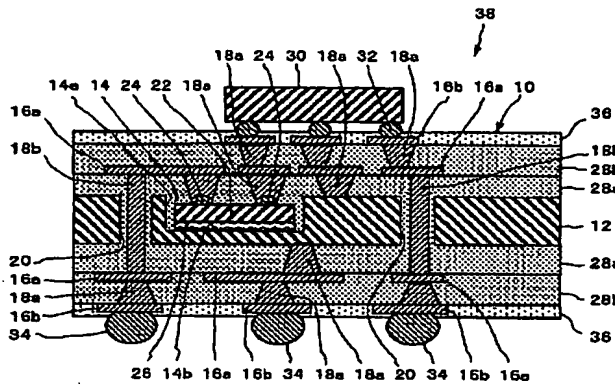
24 半導体チップの電極(電極端子)

28 絶縁層

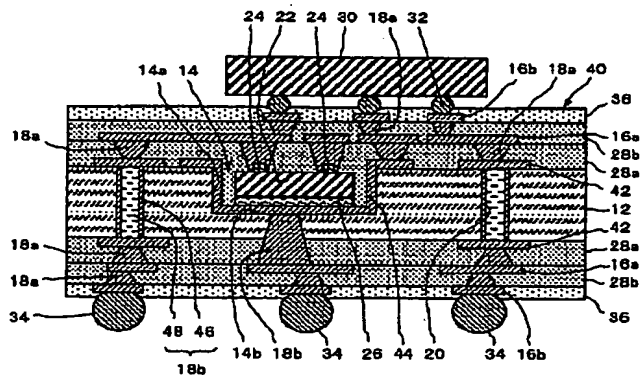
【図5】



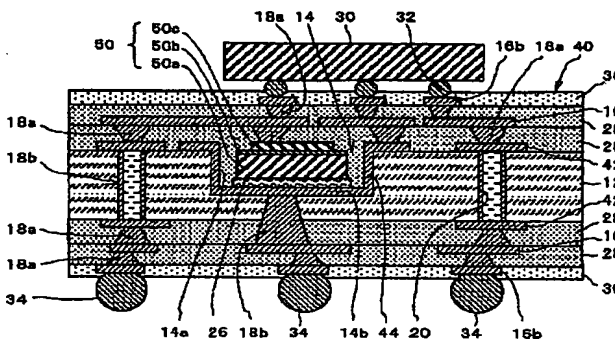
【図1】



【図2】



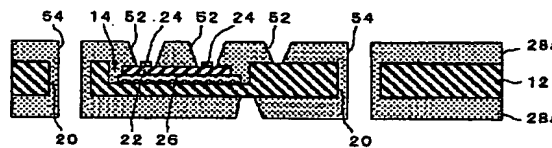
【図3】



【図6】



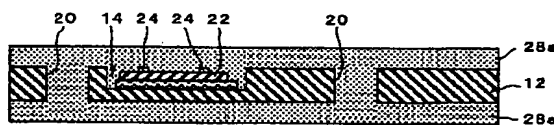
【図9】



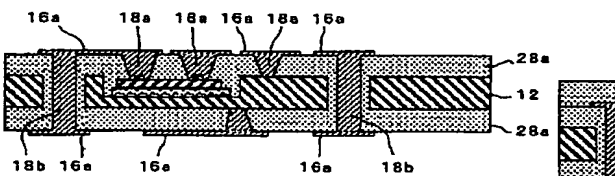
【図7】



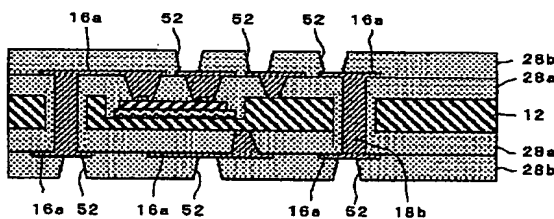
【図8】



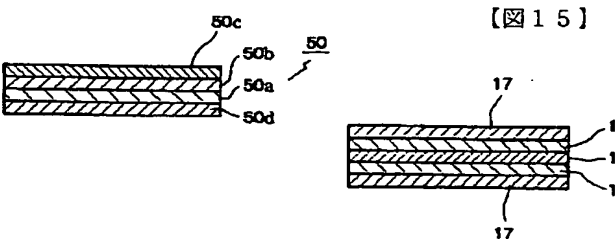
【図10】



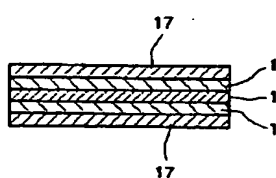
【図11】



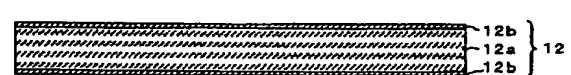
【図14】



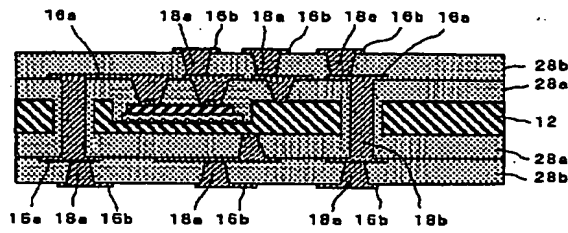
【図15】



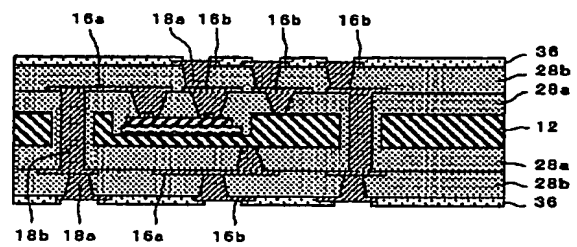
【図17】



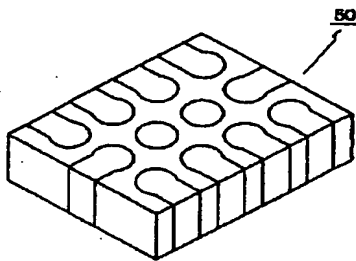
【図12】



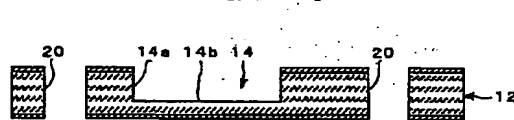
【図13】



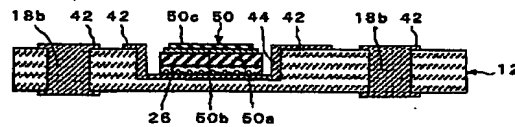
【図16】



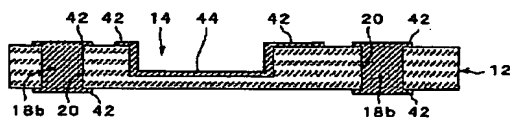
【図18】



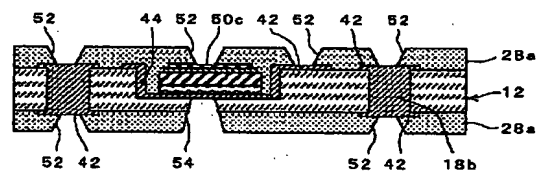
【図20】



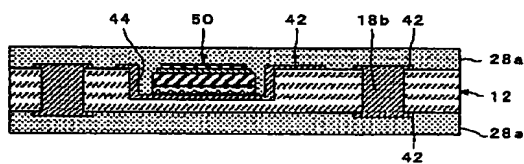
【図19】



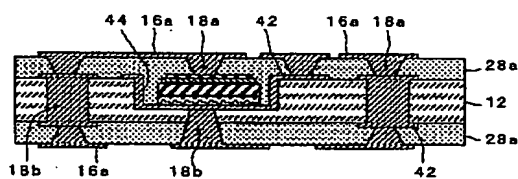
【図22】



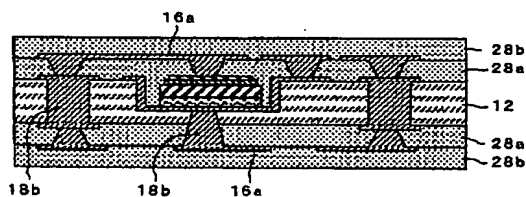
【図21】



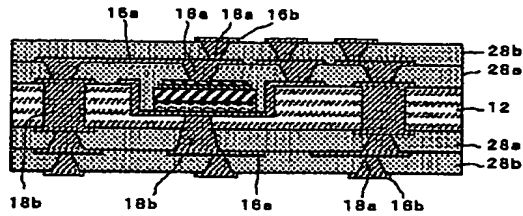
【図23】



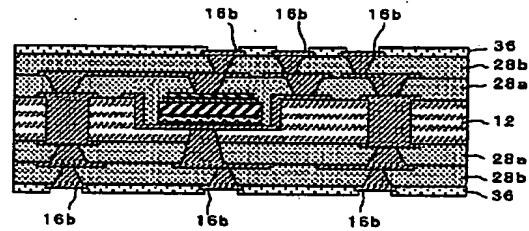
【図24】



【図 25】



【図 26】



フロントページの続き

(51) Int. Cl.⁷

識別記号

H 0 1 L 25/00

H 0 5 K 9/00

F I

テマコード (参考)

H 0 1 G 4/06

1 0 2

H 0 1 L 23/12

B

(72) 発明者 東 光敏

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 渡辺 章司

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 ミヨウ・タン・ウー

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 堀川 泰愛

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

Fターム (参考) 5E001 AB06 AC04 AC09 AC10 AE00

AE01 AE02 AE03 AF06 AH00

AH03 AJ01 AJ02 AZ01

5E082 AA01 AB03 BB05 BC17 EE05

EE18 EE23 EE24 EE26 EE37

FG03 FG04 FG26 FG27 FG41

FG42 FG44 GG26 JJ03 JJ12

JJ15 JJ21 KK01 LL03

5E321 AA17 BB23 GG05

BEST AVAILABLE COPY